

PAT-NO: JP02001267562A

DOCUMENT-IDENTIFIER: JP 2001267562 A

TITLE: SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

PUBN-DATE: September 28, 2001

INVENTOR-INFORMATION:

NAME

HORIUCHI, KATSUTADA

COUNTRY

N/A

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP2000077803

APPL-DATE: March 15, 2000

INT-CL (IPC): H01L029/78, H01L021/28 , H01L029/43 , H01L029/786 , H01L021/336

ABSTRACT:

PROBLEM TO BE SOLVED: To realize large current, reduce consumption power and restrain increase of gate resistance due to thin wire effect of a gate electrode, in a fine MOS transistor.

SOLUTION: A second gate electrode 7, having an eaves structure is formed on a side surface of a first gate electrode 3, which regulates effective channel length. By using oblique ion implantation, which uses the second gate electrode 7 as an ion implantation obstructing mask, a pocket structure impurity region, having impurity distribution whose concentration is low in a channel region on the surface of a semiconductor substrate 1 and high in the substrate, is formed. The first gate electrode 3 and the second gate electrode 7 are connected by using a metal silicide film in the upper part of the gate electrode. Thereby a large current can be realized, while a punch-through phenomenon is restrained, and restraint of tunnel leakage current in a drain junction end, i.e., restraint of consumption power at the time of waiting can be also realized. Furthermore, increase of gate electrode resistance which is caused by thin wire effect of the gate electrode is restrained, and high-speed operation can be realized.

COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-267562

(P2001-267562A)

(43) 公開日 平成13年9月28日 (2001.9.28)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)	
H 0 1 L 29/78		H 0 1 L 21/28	3 0 1 A	4 M 1 0 4
21/28	3 0 1		3 0 1 R	5 F 0 4 0
			3 0 1 S	5 F 1 1 0
		29/78	3 0 1 G	
29/43		29/62	G	

審査請求 未請求 請求項の数15 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2000-77803(P2000-77803)

(22) 出願日 平成12年3月15日(2000.3.15)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 堀内 勝忠

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100068504

弁理士 小川 勝男 (外1名)

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

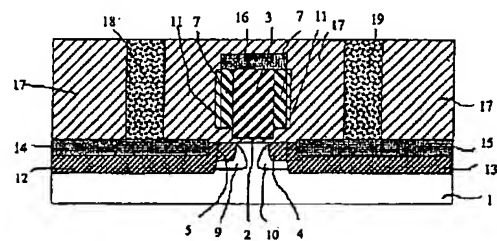
(57) 【要約】 (修正有)

【課題】微細MOSトランジスタにおける、大電流化、消費電力の低減、及び、ゲート電極の細線効果によるゲート抵抗増加を抑制。

【解決手段】実効チャネル長を規定する第一のゲート電極3の側面に、ひさし構造を有する第二のゲート電極7を設けて、この第二のゲート電極7をイオン注入阻止マスクとしての傾角イオン注入によって、半導体基板1表面のチャネル領域では低濃度、基板内部では高濃度となる不純物分布を有するポケット構造不純物領域を形成する。ゲート電極上部では第一及び第二のゲート電極3、7を金属珪化膜で接続する。

【効果】パンチスルー現象を抑制しながらの大電流化と、ドレイン接合端におけるトンネル漏洩電流の抑制すなわち待機時の消費電力の抑制とを実現でき、さらには、ゲート電極の細線効果に基づくゲート電極抵抗の増加を抑制して、高速度動作化を実現することができる。

図1



【特許請求の範囲】

【請求項1】第一導電型の半導体基板領域の主表面上に設けられた絶縁膜と、該絶縁膜上に設けられた第一のゲート電極と、上記第一のゲート電極端下部の上記第一導電型の半導体主表面領域内に設けられた一対の第二導電型の不純物拡散層領域とを有する半導体装置において、上記第一のゲート電極の側壁部に、第二のゲート電極が上記絶縁膜に接する下部では肉薄に上部では肉厚に形成されており、上記第二のゲート電極を不純物導入阻止マスクとして上記第一のゲート電極端下部の上記第一導電型の半導体主表面領域内に導入された一対の第一導電型の不純物拡散層領域を有してなることを特徴とする半導体装置。

【請求項2】上記第一のゲート電極と上記第二のゲート電極とは絶縁膜を介して配置されており、上記第一及び第二のゲート電極は両者の上部において互いに電気的に接続されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】上記第二のゲート電極が絶縁膜で構成されてなることを特徴とする請求項1に記載の半導体装置。

【請求項4】上記第二のゲート電極が半導体薄膜で構成されてなることを特徴とする請求項1に記載の半導体装置。

【請求項5】上記第二のゲート電極が高融点金属膜またはその金属珪化膜で構成されてなることを特徴とする請求項1に記載の半導体装置。

【請求項6】上記一対の第一導電型の不純物拡散層領域は、上記第一のゲート電極端下部の上記半導体基板の主表面領域内にのみ設けられてなることを特徴とする請求項1～5のいずれかに記載の半導体装置。

【請求項7】上記一対の第一導電型の不純物拡散層領域は、互いに電気的に接続されてなることを特徴とする請求項1～6のいずれかに記載の半導体装置。

【請求項8】上記第一のゲート電極端下部の上記半導体基板主表面領域内における上記第一導電型の不純物の濃度は、上記半導体基板の内部から表面に向けて次第に低濃度となる如き分布を有することを特徴とする請求項1～7のいずれかに記載の半導体装置。

【請求項9】上記第一導電型の半導体基板領域は、支持基板上に絶縁膜を介して設けられていることを特徴とする請求項1～8のいずれかに記載の半導体装置。

【請求項10】上記第二のゲート電極を不純物導入阻止マスクとして導入された一対の第二導電型の第二の不純物拡散層領域を更に有してなることを特徴とする請求項1～9のいずれかに記載の半導体装置。

【請求項11】上記第一導電型の不純物拡散層領域は、上記第二導電型の第二の不純物拡散層領域下部の第一導電型半導体基板領域には選択的に配置されていないことを特徴とする半導体装置。

【請求項12】第一導電型の半導体領域主表面上にゲ

ト絶縁膜と該絶縁膜上の第一のゲート電極とを形成する工程と、上記第一導電型の半導体領域内に第二導電型の不純物をイオン注入する工程と、上記第一のゲート電極の側壁に第一の薄膜を形成する工程と、上記第一の薄膜の側壁に第二の薄膜を選択的に形成する工程と、上記第二の薄膜をマスクとして上記第一の薄膜を等方的にエッチングする工程と、上記第一導電型の半導体領域内に第一導電型の不純物を上記半導体領域主表面に垂直な方向に対し傾角でイオン注入する工程とを含んでなることを特徴とする半導体装置の製造方法。

【請求項13】上記第一導電型の半導体領域内に上記第一の薄膜を注入阻止マスクとして第二導電型の不純物による第二のイオン注入を施す工程を更に含んでなることを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項14】上記第二導電型の不純物による第二のイオン注入工程は、上記の第一導電型の不純物の傾角イオン注入工程に先だって施されることを特徴とする請求項13に記載の半導体装置の製造方法。

【請求項15】上記の第一導電型の不純物の傾角イオン注入工程におけるイオン注入は、上記ゲート電極パターンと直行する二方向及び平行な二方向より施されることを特徴とする請求項12～14のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に係わり、特に、超微細MOS型電界効果トランジスタの大電流化、超高速動作化に関するものである。

【0002】

【従来の技術】超高密度集積回路装置を構成するMOS型電界効果トランジスタ（以下、単にMOSと略記する）は、スケールリング則に基づき微細化が進み、200nm以下のゲート長を有する超微細MOSも実用化されてきている。これら超微細MOSにおいては、使用する電源電圧において信頼性を含め十分に動作可能とするために、チャネル領域を含めた半導体表面部分の基板不純物濃度をスケールリング則に基づき高濃度に設計して、ソース・ドレイン間のパンチスルーを防止している。

【0003】上記超微細MOSにおいては、基板不純物の最大濃度が $10^{18}/\text{cm}^3$ 以上にも達する。チャネル領域における基板不純物濃度の高濃度化は易動度の劣化を、また、ソース・ドレイン領域においては接合容量の増加を招き、超微細MOSの大電流化、高速動作化を阻害する作用をする。従来の基板不純物濃度の高濃度化の手法としては、ゲート電極形成前にn型MOS構成領域の半導体基板全面にp型不純物（p型MOSに対してはn型不純物）のイオン注入を施す手法や、図2に示す如く上記のイオン注入をゲート電極形成後に半導体基板主

表面に対し傾角の方向から施してn型ソース・ドレイン拡散層を包み込む如くp型不純物拡散層領域を構成する手法が知られている。前者の半導体基板全面に不純物を導入する手法においては、その後の製造工程における熱処理履歴が避けられず、また半導体基板内部へのイオン注入においても半導体表面チャネル領域の高濃度化は必然であった。後者の手法によるp型不純物(p型MOSに対してはn型不純物)の拡散層はポケット又はハロー構造と称されるが、図2に示すような傾角 θ 、飛程 X_{jp} なるイオン注入条件において、ゲート電極1の影響がない領域でのSi基板深さ方向の飛程は $X_{jp} \cdot \cos \theta$ 、ゲート電極側面から $X_{jp} \cdot \sin \theta$ なる位置に飛程が定められる。従って、MOSの電流経路である半導体基板表面10nm以下のチャネル領域においてもp型高濃度領域の形成が避けられない。傾角 θ が45度以下であれば、深さ方向濃度勾配に比べて横方向濃度勾配は急峻となる。

【0004】ソース・ドレイン近傍におけるチャネル領域内での急峻な高濃度不純物分布の存在は、閾電圧値のゲート長依存性においてゲート長が短くなるに従い閾電圧値が一旦上昇してから急激に減少するいわゆる逆短チャネル特性を生じさせ、かつ易動度の劣化を生じさせる。これは、ゲート端から導入される高濃度不純物ポケット領域がソース・ドレイン接合近傍に局在されるため、ゲート長が一定値より短くなれば、同一ポケット形成イオン注入条件下では長チャネル素子に比べてチャネル不純物濃度が高くなってしまいうためである。ゲート長が更に短くなれば、ソース・ドレイン間のパンチスルー現象により閾電圧値は急激に低下する。この易動度の劣化もチャネル不純物濃度の上昇に基づく現象である。

【0005】スケーリング則に基づく従来構造MOSの微細化においては、微細化に伴ってドレイン接合近傍での基板不純物濃度がより高濃度に設定されるため、nMOSにおいてはドレイン端子に高電圧が印加され、かつ、ゲート端子に閾電圧以下の零(ゼロ)又は負電圧が印加される条件下でドレイン電流が負のゲート電圧と共に増加するいわゆるゲート誘因ドレイン漏洩電流(gate induced drain leakage/ゲート・インジュースド・ドレイン・リーケージ: GIDLと称される)が無視できないほど大きくなることが知られている。このGIDL現象は、ドレイン接合部分におけるドレイン高濃度領域と基板高濃度領域間とのバンド間トンネル電流に基づく現象であり、微細MOSの遮断状態、すなわちゲート電圧が零電圧における漏洩電流が大きくなることであり、保持状態における消費電力の増大をもたらす。

【0006】

【発明が解決しようとする課題】本発明の課題は、ソース・ドレイン間におけるパンチスルー電流経路を完全に遮断すべく、半導体基板表面チャネル部の深さ10nm以下の部分を除く半導体基板内部の不純物濃度を高濃度

に設定し、かつ、半導体基板表面チャネル領域における不純物濃度を低く制御した構造を実現し、易動度の劣化の無い、従って大電流化、高速動作化の可能な超微細MOSを今後の更なる微細化の進展に際しても実現できる技術を提供することにある。

【0007】本発明の他の課題は、p型基板領域内に構成されるnチャネルMOSばかりでなく、同一半導体基板内にp型領域とn型領域を有し、各々の領域にnチャネルMOSとpチャネルMOSが構成された相補型MOS(以下、CMOSと記す)に関しても上記の不純物分布構造を実現し、もって超微細CMOSの大電流化、高速動作化の可能な超微細MOSを提供することにある。

【0008】本発明のさらに他の課題は、微細MOSにおける逆短チャネル特性が軽減されて、閾電圧値がゲート長の変化に対して変動幅の小さいMOSを提供することにある。

【0009】本発明のさらに他の課題は、GIDL効果による漏洩電流が小さく、保持状態における消費電力を低減できる超微細MOSを提供することにある。

【0010】本発明のさらに他の課題は、MOSにおけるゲート電極長が微細化されるのに伴い、多結晶シリコンゲート膜と積層でゲート電極を構成する高融点金属珪化膜の抵抗値がゲート電極の細線化に伴い急激に上昇する現象に対して対策を講ずることである。細線化に伴う抵抗上昇は高融点金属珪化膜の結晶粒の大きさと相関があり、該結晶粒径よりもゲート電極が細線化されると抵抗値は急激に上昇する傾向を示す。本発明では、大電流化のために必須な実効ゲート長の細線化を実施しつつ、ゲート抵抗値の上昇を抑える手法を提供することにある。

【0011】

【課題を解決するための手段】MOS特性の大電流化を追求する観点から、本発明によるMOS構造においては、ゲート絶縁膜の薄膜化及びゲート長の微細化は使用電源電圧によってスケーリング則に基づいて実施する。従って、電流-電圧特性を基本的に決定する実効チャネル長が微細化の限界技術が適用されるゲート電極加工技術とゲート電極をマスクとしてのイオン注入によるソース・ドレイン拡散層とで決定される構造を採用する。上記拡散層がソース・ドレイン間のパンチスルー現象を十分に抑制しかつソース抵抗を可能な限り低減するようにするために、浅接合高濃度の条件を満たすようなイオン注入条件とその後の熱処理負担の軽減策とを採用する。すなわち、ゲート絶縁膜厚及びゲート電極をマスクとしてのソース・ドレイン拡散層形成条件等に関しては、従来技術と何ら変わらない。

【0012】本発明の基本概念は、実効チャネル長の設計は最適な従来技術に基づき、チャネル領域における不純物濃度を、基板表面部分では低濃度に保ちつつ、基板内部ではパンチスルー経路を遮断できるような高濃度と

することにある。このような不純物濃度分布を実現し得る概念を図3を用いて説明する。図3は、nチャネルトランジスタのソース拡散層領域部分を拡大図示したものである。ドレイン領域側も対称の関係にあり、これと同様な構造が採用される。

【0013】従来手法に基づいて、半導体基板上にゲート酸化膜、ゲート電極1を形成し、さらに、このゲート電極1を注入阻止マスクとしてのイオン注入によりソース・ドレイン拡散層を形成する。この状態から、熱負荷をかけない程度の低温、即ち500℃程度の低温でゲート電極2を、ゲート電極1の側壁部にゲート酸化膜に接する部分を除いた上部に選択的に形成し、イオン注入に対するひさし構造阻止マスクとする。ゲート電極2の材料としてはシリコン膜、絶縁膜、金属膜、金属珪化膜又はそれらの積層膜等何ら限定されない。上記のひさし構造マスクに対し傾角 θ なる角度でp型不純物をイオン注入すると、飛程 X_{jp} で注入されたイオンはシリコン基板内で $X_{jp} \cdot \cos \theta$ の深さに達する。シリコン薄膜で構成されるゲート電極1及び2内においてはゲート電極2の側壁面より $X_{jp} \cdot \sin \theta$ なる内部にまで達する。ひさし部分を通過して基板内部に注入されるイオンは、飛程が一定になる如く深さ $X_{jp} \cdot \cos \theta$ とゲート電極側壁からの距離 $X_{jp} \cdot \sin \theta$ の各々を結ぶ如き分布となる。図3から明らかな如く、ひさし構造イオン注入阻止マスクを用いての傾角イオン注入によりシリコン基板内の不純物分布は基板内部ではゲート電極1端と平行に、基板表面部分では傾角の向きに傾斜した分布を実現することができる。上記の傾きは、イオン注入エネルギー、イオン種類、注入傾角、及び、ひさし構造イオン注入阻止マスクの材質及び形状によって決定される。

【0014】上記の傾角イオン注入方法により、半導体基板内部ではソース・ドレイン接合を包み込むごとく、また半導体基板のごく表面部ではソース・ドレイン接合内部に逆に包括されるごとくポケット構造形成の基板不純物濃度分布が構成される。上記の不純物濃度分布構成においては、チャネルが形成される半導体表面での不純物濃度が低濃度となるため、易動度の劣化を生じることなく、同一ゲート長の従来MOSに比べて大電流化が達成できる。チャネル領域下でゲート電圧で制御されない半導体基板領域ではポケット構造基板不純物濃度が十分高く設定されるため、パンチスルー電流成分を十分に抑制することができる。

【0015】上述した本発明手法に基づけば、ゲート電極と重畳する半導体基板表面のドレイン接合近傍では基板不純物濃度が低く設定されるため、バンド間トンネル現象に基づくGIDL現象を軽減することができる。従って、非動作時における漏洩電流を極小化することができ、低消費電力のMOSを実現することができる。

【0016】また、本発明手法に基づけば、実効ゲート長はゲート電極1のゲート長で決定され、従来MOSと

同一の実効チャネル長が確保できる上に、高融点金属珪化膜をゲート電極1とその側壁に對で構成されるゲート電極2の上部表面に形成するすることができるため、ゲート細線効果に基づくゲート抵抗の急激な上昇を抑止することができる。従って、ゲート長が同一の従来MOSに比べて高速動作可能なMOSを提供することができる。

【0017】

【発明の実施の形態】以下、本発明の実施の形態につき、実施例を挙げ、図面を参照して詳細に説明する。なお、本発明になる半導体装置の各部の材質、導電型、及び製造条件等は以下の実施例のみに限定されるものではなく、各々多くの変形が可能であることは言うまでもない。

【0018】〈実施例1〉図7は本発明の第一の実施例による半導体装置の完成断面図、図4、図5及び図6はその製造工程順を示す断面図である。面方位(100)、p導電型、直径20cmの単結晶Siよりなる半導体基板1上に活性領域を画定する素子間分離絶縁領域(図示せず)を形成し、基板濃度調整用のp導電型イオンの注入と引き延ばし熱処理、及び閾電圧調整用のイオン注入と活性化熱処理を従来周知の手法により施した後、熱酸化膜1.8nmを形成した後、その表面をNOガスにより窒化することにより0.2nmの窒化膜を積層形成し、ゲート絶縁膜2とした。続いて、燐(P)が高濃度に添加された非晶質Si膜を化学気相堆積法によってゲート絶縁膜2上に250nmの膜厚で堆積した後、電子線リソグラフィにより100nm長の第一のゲート電極3に加工した。第一のゲート電極3の低抵抗化は、上記のごとく予め不純物を添加するのではなく、従来周知の相補型MOSの製法に基づき、所望ゲート電極領域に選択的に燐(P)、またはボロン(B)を高濃度イオン注入して形成してもよい。

【0019】第一のゲート電極3の形成後、イオン注入により表面汚染防止のための2nm厚の薄い絶縁膜6を第一のゲート電極3の側壁部にも形成した。この状態より、砒素(As)イオンを加速エネルギー:5keV、注入量: $2 \times 10^{15}/\text{cm}^2$ の条件で垂直方向からイオン注入し、浅いソース拡散層4及び浅いドレイン拡散層5とした。続いて、20nm厚の非晶質Si膜7を再び堆積した。堆積温度は520℃である。なお、非晶質Si膜7には、特別には不純物の添加を施さなかった。

(図4)

図4の状態から5nm厚のシリコン窒化膜をプラズマ補助堆積法により400℃の低温で全面に堆積してから、異方性ドライエッチング法により第一のゲート電極3の側壁に面した非晶質Si膜7の側壁部にのみ上記シリコン窒化膜を選択的に残置させてゲート側壁絶縁膜8とした。続いて、ゲート側壁絶縁膜8をエッチングマスクとして、等方性エッチング法により、450℃の低温で平

面部分に堆積されている非晶質Si膜7を選択的に除去して、第一のゲート電極3の側壁部上に、半導体基板表面側端部に堆積膜厚分だけを除去された形状のひさし構造を有する第二のゲート電極7を形成した。酸化膜を含む薄い絶縁膜6及びゲート絶縁膜2は、上記の等方性エッチング工程においては除去されず、ゲート電極3及び半導体基板1は全くエッチングされない。しかる後、第二のゲート電極7をイオン注入阻止マスクとするボロン(B)のイオン注入を、傾角:30度、加速エネルギー:20keV、注入量: $5 \times 10^{13}/\text{cm}^2$ なる注入条件で実施し、パンチスルー防止のためのp導電型高濃度拡散層9及び10とした。なお、ゲート側壁絶縁膜8は、所望により上記のイオン注入工程の前に選択的に除去してもよい。(図5)

図5の状態より、第二のゲート側壁絶縁膜11を第一のゲート電極側壁からの距離が50nmとなるごとく膜厚を調整してプラズマ補助堆積法によりシリコン酸化膜を400℃の低温で堆積し、その異方性エッチングにより残置形成した。この際、第一のゲート側壁絶縁膜8を予め除去してから、第二のゲート側壁絶縁膜11を堆積しても何ら問題はない。次いで、この第二のゲート側壁絶縁膜11を注入阻止マスクとして、n型高濃度ドレイン拡散層12及びn型高濃度ソース拡散層13をイオン注入により形成した。イオン注入条件は、Asイオン注入、加速エネルギー:60keV、注入量: $3 \times 10^{15}/\text{cm}^2$ である。このイオン注入工程の後、950℃、10秒の条件で注入イオンの活性化熱処理を施した。

(図6)

図6の状態より、厚いシリコン酸化堆積膜を全面に形成した後に、その表面を機械的・化学的研摩法により平坦化して、表面保護絶縁膜17とした。次に、表面保護絶縁膜17の所望領域に開口を施してから、タングステン(W)膜の堆積とその平坦化研摩により、開口部内のみを選択的にW膜を残置した。その後、所望の回路構成に従い、アルミニウム(Al)を主材料とする金属膜の堆積とそのパターニングにより、ドレイン電極18およびソース電極19を含む配線を形成した。(図7)

上記製造工程を経て製造された本実施例による半導体装置においては、ゲート長が100nmの従来のMOSTランジスタでは、ドレイン印加電圧及びゲート電圧 V_g から閾電圧 V_t を差し引いた印加電圧が1.5Vの条件下では、1 μm チャネル幅当たりのソース・ドレイン間電流 I_{ds} は0.85mAであったのに対して、同一ゲート長MOS、同一測定条件下で、 I_{ds} :1.05mAと2割以上の大電流化が実現された。なお、本実施例による微細MOSの V_t 値はドレイン電圧1.5Vで0.4Vであった。さらに、本発明による上記微細MOSの I_{ds} 値の V_g 依存性に関しては、ドレイン印加電圧1.5Vの場合と0.05Vの場合との閾電圧 V_t の違いは僅かに0.15Vと小さく、ドレイン・インジ

ュースド・バリアロアリング(drain induced barrier lowering: DIBL)特性に優れていることも明らかになった。このことから、本発明に基づく微細MOSでは、パンチスルー現象が十分に抑制されていることが明らかとなった。また、上記の本発明に基づく微細MOSにおいては、 I_{ds} の V_g 依存特性において、ドレイン電圧1.5Vにおいても、ゲート電圧が0Vから負電圧に掃引されても I_{ds} は変化せず、1 μm チャネル幅当たり 1×10^{-13} A以下の電流を保っていた。一方、同一ゲート長の従来の微細MOSでは、ドレイン電圧が1.5Vの条件下で、負のゲート電圧印加と共に I_{ds} が増加し、-1.5Vのゲート電圧印加での I_{ds} は1 μm チャネル幅当たり 1×10^{-7} Aにも達した。

【0020】上記の結果より、半導体表面のドレイン接合端部において、高濃度p型領域と高濃度n型領域によるバンド間直接トンネル現象に基づくGIDL特性が本実施例による半導体装置においては基本的に解消されていることが明らかとなった。従って、本実施例による半導体装置においては、待機状態、すなわちスタンバイ(stand-by)状態における漏洩電流が無視でき、消費電力をも抑制できることが明らかとなった。

【0021】〈実施例2〉図1は本発明の第二の実施例による半導体装置を示す完成断面図である。先の実施例1における図6の状態より、スパッタリングにより30nm厚のチタニウム(Ti)膜を全面に堆積し、650℃、60秒の条件で窒素雰囲気中で加熱することによってチタニウム珪化膜をシリコン基板及びシリコン膜が露出している領域上に選択的に形成し、拡散層上高融点金属珪化膜14、15及びゲート電極上高融点金属珪化膜16とした。しかる後、未反応のチタニウム膜を過酸化水素水を含むエッチング液で除去し、その後、これら金属珪化膜の低抵抗化のための熱処理を850℃、10秒の条件で施した。この状態より、先の実施例1における表面保護絶縁膜17の形成以降の製造工程を施して、半導体装置を製造した。(図1)

本実施例に基づいて製造した第一のゲート電極長が80nmから500nmの微細MOSを従来方法で製造した同一寸法の微細MOSと比較した。ゲート電極上高融点金属珪化膜16のシート抵抗についてそのゲート長依存性を比較した。その結果、双方共ゲート長が150nm以上ではシート抵抗値は5 Ω/\square と同一であったが、従来方法による微細MOSでは、ゲート長が100nmでのシート抵抗値は10 Ω/\square 、80nmでは30 Ω/\square とゲート長の微細化に伴いシート抵抗値が増加する所謂細線効果が見られた。一方、本実施例による微細MOSにおいては、第一のゲート電極長が100nmでのシート抵抗値は5 Ω/\square 、80nmでも7 Ω/\square とゲート電極の細線効果は実効上無視できる範囲内に収まっていることが明らかになった。本実施例に基づく半導体装置でゲート電極のシート抵抗の細線効果が軽減できたのは、

実効チャネル長は第一のゲート電極3で設定されるのに対し、ゲート電極の抵抗値は第一のゲート電極3と第二のゲート電極7との合計電極長で決定されるため、金属珪化膜の結晶粒径の影響が軽減されることによるものと考えられる。

【0022】さらに、本実施例に基づく半導体装置においては、先の実施例1と同様、従来MOSに比べ単位ゲート幅当たりの電流値を2割以上大きくすることができた。上記傾向はゲート長が長い場合の方がより著しいことが明らかになった。また、本実施例に基づく半導体装置においては、GIDL効果に基づく消費電力の増加現象も見られず、先の実施例1に基づく半導体装置と同様の特徴を有していた。

【0023】本実施例においては、チタニウム珪化膜によるゲート電極材料について例示したが、これは他の高融点金属膜、例えば、W、Mo、Co、Ni等の珪化膜であっても何ら差し支えない。また、本実施例2及び先の実施例1においては、p導電型高濃度拡散層9及び10を形成するためのイオン種として、ボロン(B)の例について例示したが、BF₂等の他のイオン種、及びIn等であっても何ら差し支えない。さらに、本実施例及び先の実施例1においては、n導電型MOSへの適用例について例示したが、反対導電型であるp導電型MOSに適用しても本発明の主旨を逸脱することはない。この場合、拡散層9及び10はn導電型高濃度拡散層となるが、この拡散層形成用のイオン種としては、P、As、Sb等を用いればよい。

【0024】〈実施例3〉図8は本発明の第三の実施例による半導体装置のソース近傍断面を示す説明図である。本実施例においては、先の実施例1と同じ製造工程に従って半導体装置を製造したが、先の実施例1との違いは第二のゲート電極7の加工形状にある。本実施例においては、第一のゲート側壁絶縁膜8をエッチングマスクとして第二のゲート電極7をその底面側からエッチングし、図8中のa又はbで示す形状とした。本実施例において、第二のゲート電極7にはスパッタリング法により堆積したタングステン(W)の珪化膜を用いたが、珪化膜でなく金属膜自体であっても良い。なお、Wの代わりにMo、Ta等の他の高融点金属膜又はそれらの珪化膜であっても何ら差し支えない。上記した第二のゲート電極7の加工後、該ゲート電極7を注入阻止マスクとしてのn型高濃度イオン注入を先の実施例1に従って実施し、n型高濃度ドレイン拡散層12及びn型高濃度ソース拡散層13を形成した。イオン注入条件は、Asイオン、加速エネルギー60keV、注入量 $3 \times 10^{15}/\text{cm}^2$ で、垂直方向から注入した。本実施例においては、第一のゲート電極3を注入阻止マスクとしての浅いソース拡散層4及び浅いドレイン拡散層5の形成と第二のゲート電極7を注入阻止マスクとしてのn型高濃度ドレイン拡散層12及びn型高濃度ソース拡散層13の形成の

後に、図8で示される形状を有する第二のゲート電極7を注入阻止マスクとして、傾角45度でのボロンイオン注入を施し、p導電型高濃度拡散層9及び10を形成した。この傾角注入以外のイオン注入の条件は先の実施例1に依った。しかる後に、先の実施例1における表面保護絶縁膜17の形成工程以降を実施して、本実施例3による半導体装置を製造した。

【0025】本実施例3による半導体装置においては、p導電型高濃度拡散層9及び10を形成する際の傾角イオン注入阻止マスク材として、先の実施例1におけるSi膜に代えて、より質量の重いW等の珪化膜を用いた。これにより、先の実施例1に比べ、本実施例による半導体装置においては、p導電型高濃度拡散層9及び10は、半導体基板内部では、先の実施例1の場合と同様に浅いドレイン拡散層5を包み込むとき分布を維持し、基板表面領域では、イオン注入飛程の減少効果のために浅いドレイン拡散層5内に包括される如き分布を得ることができた。このような分布は、第二のゲート電極7の下端部のエッチング形状a又はbの採用によっても更に確実化される。

【0026】本実施例3においては、n型高濃度ドレイン拡散層12及びn型高濃度ソース拡散層13を、第二のゲート電極7を注入阻止マスクとして形成した。これは、先の実施例1における第二のゲート側壁絶縁膜11をさらに形成してから同様のイオン注入を施す製造方法に比べ、更なる工程削減を実現したことを意味する。さらに、本実施例3においては、p導電型高濃度拡散層9及び10の形成に先立って、浅いソース拡散層4及び浅いドレイン拡散層5の形成、およびn型高濃度ドレイン拡散層12及びn型高濃度ソース拡散層13の形成を実施した。上記のソース・ドレインの各拡散層は何れもn型高濃度拡散層であり、そのイオン注入過程で同領域内の半導体基板表面は完全に非晶質化されている。本実施例では、この非晶質化された領域を介してp導電型高濃度拡散層9及び10形成のためのイオン注入が実施されるため、イオン注入方向が結晶方位と整合して飛程以上の深さまで注入イオンが異常到達すると云う所謂チャネリング現象を解消することができた。従って、本実施例3による半導体装置においては、面方位(100)に対する45度傾角注入のごとくチャネリング現象を生じやすいイオン注入方向に対しても異常注入分布の問題を憂慮すること無しに、p導電型高濃度拡散層9及び10を所望分布に設計することができた。

【0027】〈実施例4〉図9及び図10は、本発明の第四の実施例による半導体装置の製造工程順を示す断面図である。本実施例4においては、先の実施例1と同じ製造工程に従って半導体装置を製造したが、先の実施例1との違いは、第二のゲート電極7を構成する非晶質Si膜の堆積を、有機シリコン酸化膜20の塗布と350℃での緻密化熱処理とに置き換えて実施した点である。

緻密化後の有機シリコン酸化膜20の膜厚は200nmであった。この状態から、フッ化水素水溶液とフッ化アンモニウム水溶液との混合液により、有機シリコン酸化膜20を約100nmエッチングしたところ、第一のゲート電極3側面とゲート絶縁膜2とが接する下端部で異常にエッチング速度が速くて、局所的に有機シリコン酸化膜20が存在しない部分を有する膜形状が得られた。

(図9)

図9の状態より、有機シリコン酸化膜20をポケット領域形成イオン注入阻止マスク絶縁膜として、先の実施例1に従って、p導電型高濃度拡散層9及び10を形成してから、第一のゲート電極3側面部を除く上記ポケット領域形成イオン注入阻止マスク絶縁膜20を異方性ドライエッチングにより選択的に除去して、残置されたイオン注入阻止マスク絶縁膜20をマスクとするイオン注入とその後の熱処理とにより高濃度n導電型ドレイン拡散層12及び高濃度n導電型ソース拡散層13を形成した。上記の各拡散層の形成及びその活性化熱処理条件は先の実施例1に基づいた。しかる後に、残置されたイオン注入阻止マスク絶縁膜20を前記のエッチング液によりエッチング除去した。(図10)

図10の状態より、先の実施例1に従い表面保護絶縁膜17の形成以降の工程を実施して、本実施例4に基づく半導体装置を製造した。

【0028】本実施例4に基づく半導体装置においては、第一のゲート電極3側面とゲート絶縁膜2とが接するゲート下端部から選択的にp導電型高濃度拡散層9及び10がイオン注入形成され、高濃度n導電型ドレイン拡散層12及び高濃度n導電型ソース拡散層13の底面領域の大部分には形成されない構造を自動的に得ることができる。従って、本実施例4に基づく半導体装置においては、接合容量の増大を招くことがなく、寄生負荷容量が軽減でき、高速動作が可能となる。

【0029】〈実施例5〉図11は本発明の第五の実施例による半導体装置の完成断面図である。本実施例5においては、先の実施例1の製造工程に従って半導体装置を製造したが、先の実施例1との違いの一つは、浅いソース拡散層4側にのみp導電型高濃度拡散層10を設けるボロン(B)の傾角イオン注入を施し、浅いドレイン拡散層5側には同様の拡散層を形成しなかった。先の実施例1との他の違いは、第一のゲート電極3を注入阻止マスクとする浅いドレイン拡散層5を形成するイオン注入量を $2 \times 10^{13} / \text{cm}^2$ と、先の実施例1に比べて $1 / 100$ の低濃度に設定した。なお、浅いソース拡散層4を形成するイオン注入量は、ソース抵抗の増加を防ぐために実施例1と同じ $2 \times 10^{15} / \text{cm}^2$ に設定した。ソース、ドレイン拡散層の不純物濃度を異なる値に設定するために、本実施例においては、第一のゲート電極3をマスクとして、浅いドレイン拡散層5を形成する低濃度イオン注入条件でソース、ドレインの双方にイオン注入

をまず施した。しかる後、ドレイン側をホトレジスト膜で覆って、 $1.98 \times 10^{15} / \text{cm}^2$ なる注入量でAsイオンをソース側だけに選択的に注入した。なお、p導電型高濃度拡散層10を形成するためのボロン(B)の傾角イオン注入の場合には、ホトレジスト膜等の選択イオン注入マスクを用いることなく、ソース側のみから傾角でボロン(B)のイオン注入を実施すればよい。

【0030】本実施例に基づく半導体装置においては、浅いドレイン拡散層5の不純物濃度が低いため、実効チャンネル長が100nmと極微細なMOSであるにも拘らず、3.5V以上の耐圧を実現でき、かつ、1.5V動作において1μmの単位チャンネル幅当たりのソース・ドレイン電流値も1.10mAと更なる大電流化を実現できた。これらは、p導電型高濃度拡散層10がソース側のみにしか設置されていないので易動度の劣化が更に改善されること、電流低下に重大な影響を及ぼす浅いソース拡散層4が極めて低抵抗に設定されているので電流劣化作用が小さいこと、及び、浅い高抵抗ドレイン拡散層5がドレイン側で高電界を吸収する役割をすること等によるものと考えられる。本実施例による微細MOSにおいては、先の実施例1に基づく半導体装置と同様、保持状態でゲート電圧が0Vにおける漏れ電流は測定限界以下であり、GIDL効果に基づく消費電力の増大は観測されなかった。

【0031】〈実施例6〉図12は本発明の第六の実施例による半導体装置の完成断面図である。本実施例6においては先の実施例1の製造工程に従って半導体装置を製造したが、先の実施例1との違いは、第一のゲート電極3の長さが60nm以下と極めて微細である点、及び、ゲート絶縁膜2の物理的膜厚がシリコン酸化膜換算で1.5nmと更に薄膜化されている点である。(図12)

本実施例による半導体装置においては、実効ゲート長が短く、p導電型高濃度拡散層9及び10が半導体基板内部領域で互いに重畳される構造となった。しかるに、半導体基板表面領域においては、上記p導電型高濃度拡散層9及び10は浅いソース拡散層4及び浅いドレイン拡散層5内部に配置される構成を維持しており、第一のゲート電極3直下の半導体基板領域内においては、基板表面領域の不純物濃度が低濃度で基板内部に向かうに従って高濃度となる不純物分布が実現された。上記の基板内不純物分布の実現により、実効ゲート長が60nm以下と云う超微細MOSであるにも拘らず、パンチスルー現象の問題無しに低濃度チャンネル領域が確保されて、高易動度・大電流特性が実現できた。さらに、p導電型高濃度拡散層9及び10が重畳する構成としたことにより、先の実施例1の超微細MOSよりも更に微細化が進展したトランジスタであるにも拘らず傾角イオン注入量を先の実施例1の注入量より増加させることなくして、パンチスルー現象を抑止することができた。

【0032】〈実施例7〉図13は本発明の第七の実施例による半導体装置の完成断面図である。本実施例7においても先の実施例1の製造工程に従って半導体装置を製造したが、先の実施例1との相違点は、半導体装置を半導体基板1の主表面上に構成する代わりに、半導体基板1表面から400nm厚の埋め込み酸化膜21を介して絶縁分離された200nm厚の単結晶シリコン薄膜中に構成した点である。この埋め込み酸化膜21で絶縁分離された単結晶シリコン薄膜は、SOI (silicon insulator/シリコン・オン・インシュレータ) として知られる周知の半導体基板材料である。本実施例で用いた単結晶シリコン薄膜は、面方位(100)、抵抗率 $10\Omega\text{cm}$ 、膜厚誤差2nmで、貼合せ技術に基づくSOI基板である。このSOI基板の上記膜厚は、先の実施例1に基づく半導体装置の製造工程を経る過程で、特に表面洗浄工程等によって最終的に150nmにまで薄膜化された。その結果、高濃度n導電型ドレイン拡散層12及び高濃度n導電型ソース拡散層13の接合底面は埋め込み酸化膜21面に接する構成となった。(図13)

本実施例に基づく半導体装置においては、高濃度n導電型ドレイン拡散層12の底面下部が厚い埋め込み酸化膜21で構成されているため、ドレイン接合容量はこの酸化膜21の容量との直列接続として決定される。これにより、出力容量を従来の1/10程度に低減することができ、高速動作化が達成できた。

【0033】本実施例によるSOI基板内の半導体装置は、半導体基板1から埋め込み酸化膜21により絶縁分離され、隣接半導体装置からも完全に絶縁分離された構成を有している。従って、ゲート入力パルス印加時には、本半導体装置の基板電位も追隨して上昇又は下降するごとく変化し、オン動作及びオフ動作時には上記基板電位の追隨がより一層高速動作の方向に作用する。本実施例に基づく半導体装置においては、p導電型高濃度拡散層9及び10がSOI膜内で主表面部では低濃度、内部では高濃度の分布を実現するので基板電位の変化に対する閾電圧の変化量が大きくなる特性、所謂、基板電圧係数が従来半導体装置に比べて大きくなる特性を示すことが明らかになった。この基板電位係数が大きく設定できる特性により、基板電位はゲート入力により大きく追隨するため、従来のSOI基板内の半導体装置に比べて更に高速動作化が達成できた。

【0034】〈実施例8〉図14は、本発明の第八の実施例による半導体装置の完成断面図である。本実施例においては先の実施例2の製造工程に従って半導体装置を製造したが、先の実施例2との違いは、p導電型高濃度拡散層9及び10の形成工程を、拡散層上高融点金属珪化膜14及び15とゲート電極上高融点金属珪化膜16の形成工程の後に実施したことである。なお、本実施例においては、上記珪化膜の低抵抗化のための熱処理及び

n型高濃度拡散層形成後の注入イオン活性化熱処理をも省略して、上記p導電型高濃度拡散層形成のための傾角イオン注入工程の後に纏めて熱処理を施した。この熱処理条件は、950℃、10秒である。(図14)

本実施例に基づく半導体装置においては、高濃度n導電型ドレイン拡散層12及び高濃度n導電型ソース拡散層13の接合底面へのp導電型高濃度拡散層9及び10を形成するための傾角イオン注入が拡散層上高融点金属珪化膜14及び15を介して実施される。上記珪化膜の質量はSiに比べて十分に大きいため、注入したボロンイオンは高濃度n導電型ドレイン拡散層12及び高濃度n導電型ソース拡散層13の接合底面にまで到達できず、従って同領域内にはp型高濃度層は存在しない構成となった。この構成により、本実施例に基づく半導体装置のドレイン接合容量は増大化されず、寄生容量の増加を抑制することができ、先の実施例1又は2に記載の半導体装置と同様な大電流特性と相まって、高速動作にも適した半導体装置を実現することができた。

【0035】〈実施例9〉図15は、本発明の第九の実施例による半導体装置の製造工程途中の平面図である。本実施例9においては、先の実施例1に準じて相補型MOSトランジスタを製造した。先の実施例1に従って素子間分離絶縁膜の形成後、p導電型半導体基板1の所望領域に周知の手法によりp導電型MOSを構成するn型ウエル領域25を選択的に形成してから、ゲート絶縁膜2及び第一のゲート電極3の形成、n導電型MOSを構成するp型活性領域への選択的な浅いn型ソース拡散層31及び浅いn型ドレイン拡散層32の形成を先の実施例1に従って実施した。続いてn型ウエル領域25の活性領域30内に選択的に浅いp型ソース拡散層41と浅いp型ドレイン拡散層42とを第一のゲート電極3を注入阻止マスクとしての BF_3 のイオン注入により形成した。しかる後に、先の実施例1に従い汚染防止絶縁膜6及び第二のゲート電極7を形成した。この状態より、n導電型MOSを構成する領域のみに選択的にp導電型高濃度拡散層9及び10を傾角イオン注入により形成したが、この傾角イオン注入は第一の側壁に形成された第二のゲート電極による複合ゲート電極40に対して平行方向A及びBと、直交方向C及びDとの4方向から実施した。しかる後に、高濃度n導電型ドレイン拡散層12及び高濃度n導電型ソース拡散層13を先の実施例1に従って形成した。同様に、p導電型MOSを構成する領域以外をホトレジスト膜で覆って、選択的なn導電型高濃度拡散層形成をゲート電極40を注入阻止マスクとしてリン(P)の傾角イオン注入により前記A、B、C及びDの4方向からそれぞれ傾角30度で実施した。引き続き、p導電型MOSを構成する領域に高濃度のソース・ドレイン拡散層を形成するイオン注入を周知の条件で実施した。しかる後、表面保護絶縁膜17の堆積、及びドレイン電極18、ソース電極19等の配線工程を先の実

施例1に従って実施し、本実施例による半導体装置（相補型MOSトランジスタ）を製造した。

【0036】本実施例による半導体装置（相補型MOSトランジスタ）においては、n導電型MOSと同様、p導電型MOSにおいても、チャネル領域における不純物濃度を基板内部に比べ十分に低濃度化できる不純物分布構成によって、パンチスルー現象の発生を抑えたままp導電型MOSでの大電流化が実現でき、相補型MOSの大電流化が達成できた。これは、n導電型MOSにおけるp導電型高濃度拡散層9、10及びp導電型MOSにおけるn導電型高濃度拡散層形成のためのそれぞれの傾角イオン注入を注入領域を限定して選択的に行なう際に、非注入領域を覆うホトレジストマスクが所望領域への傾角イオン注入の障害となることがない様に注入方向を設定したことに基づく。ゲート電極40と直交方向C及びD方向へのイオン注入では、非注入領域を覆うホトレジストにより注入を疎外されずに全ての注入所望領域に対し均等に傾角イオン注入を実施できる。ゲート電極40と平行方向A及びB方向への傾角イオン注入の実施は、通常半導体集積回路での各構成半導体装置の配置を平行又は直交の関係で配置する慣習に対応するものであり、本実施例は、従来の配置構成に従った相補型MOSトランジスタよりなる半導体集積回路に対して何の問題も生じることなく適用できる。

【0037】

【発明の効果】本発明によれば、ゲート電極直下の半導体基板内部のみで高濃度の基板不純物濃度を実現し、表面のチャネル領域における基板不純物濃度は低濃度に設定することができる。従って、超微細ゲートMOSにおいてもパンチスルー現象の問題を生じること無しに大電流特性を実現できる。また、本発明によればゲート電極に重畳される半導体表面領域におけるドレイン接合近傍で高濃度基板不純物領域の導入が回避できるので、 n^+ 、 p^+ 高濃度トンネル接合が形成されず、GIDL現象による保持状態における漏洩電流を低減でき、従って消費電力の低減を実現することができる。さらにまた、本発明によればトランジスタ静特性を決定するゲート長は微細なままでゲート抵抗を律するゲート長部分を別途肥大化することができるので、金属珪化膜の結晶粒径に依存する細線効果の影響を軽減でき、低ゲート抵抗値を実現できる。従って、動特性において、高速動作の可能な半導体装置を提供することができる。また、本発明によれば、高濃度基板不純物領域をゲート電極直下に限定して導入することが可能であり、高濃度ソース・ドレイン接合底面領域以外の大部分の底面領域では低基板不純物濃度に設定できるので、ソース・ドレイン接合容量を低減でき、更なる高速動作化が可能となる。

【図面の簡単な説明】

【図1】本発明の第二の実施例による半導体装置の完成断面図。

【図2】従来のポケット構造を有する半導体装置のソース近傍の断面説明図。

【図3】本発明のポケット構造を有する半導体装置のソース近傍の断面説明図。

【図4】本発明の第一の実施例による半導体装置の製造工程順を示す断面図。

【図5】本発明の第一の実施例による半導体装置の製造工程順を示す断面図。

【図6】本発明の第一の実施例による半導体装置の製造工程順を示す断面図。

【図7】本発明の第一の実施例による半導体装置の完成断面図。

【図8】本発明の第三の実施例による半導体装置のソース近傍の断面説明図。

【図9】本発明の第四の実施例による半導体装置の製造工程順を示す断面図。

【図10】本発明の第四の実施例による半導体装置の製造工程順を示す断面図。

【図11】本発明の第五の実施例による半導体装置の完成断面図。

【図12】本発明の第六の実施例による半導体装置の完成断面図。

【図13】本発明の第七の実施例による半導体装置の完成断面図。

【図14】本発明の第八の実施例による半導体装置の完成断面図。

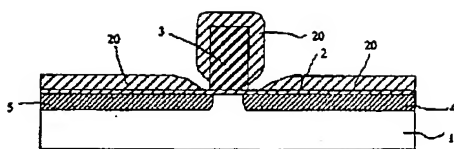
【図15】本発明の第九の実施例による半導体装置の製造方法を示す平面図。

【符号の説明】

- | | |
|-------------------|--------------------|
| 1…半導体基板、 | 2…ゲート絶縁膜、 |
| 3…第一のゲート電極、 | 4…浅いソース拡散層、 |
| 5…浅いドレイン拡散層、 | 6…汚染防止絶縁膜、 |
| 7…第二のゲート電極、 | 8…第一のゲート側壁絶縁膜、 |
| 9…p導電型高濃度拡散層、 | 10…p導電型高濃度拡散層、 |
| 11…第二のゲート側壁絶縁膜、 | 12…高濃度n導電型ドレイン拡散層、 |
| 13…高濃度n導電型ソース拡散層、 | 14…拡散層上高融点金属珪化膜、 |
| 15…拡散層上高融点金属珪化膜、 | 16…ゲート電極上高融点金属珪化膜、 |
| 17…表面保護絶縁膜、 | 18…ドレイン電極、 |
| 19…ソース電極、 | 20…イオン注入阻止マスク絶縁膜 |
| 21…埋め込み酸化膜、 | 25…n型ウエル |

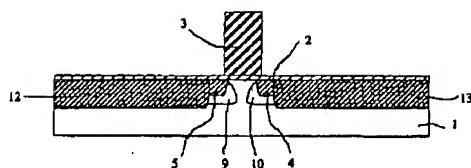
【図9】

図9



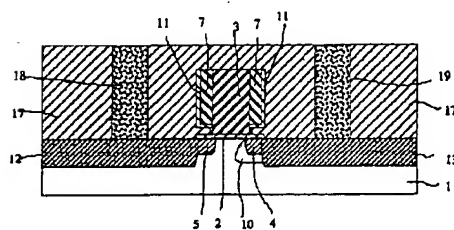
【図10】

図10



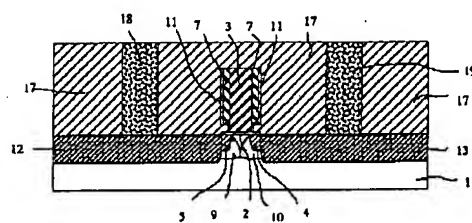
【図11】

図11



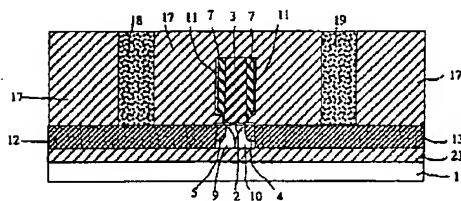
【図12】

図12



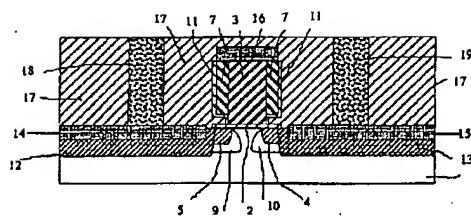
【図13】

図13



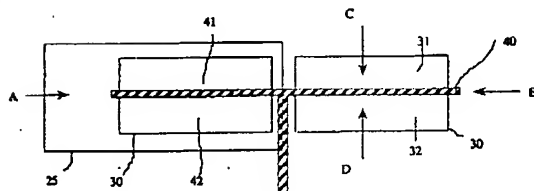
【図14】

図14



【図15】

図15



フロントページの続き

(51) Int. Cl. 7

H01L 29/786

21/336

識別記号

FI

H01L 29/78

ターマコード(参考)

301S

616L

616T

Fターム(参考) 4M104 AA01 BB01 BB40 CC05 DD02
DD64 DD78 DD84 EE05 EE08
EE09 FF06 GG09 HH20
5F040 DA12 DA18 DB03 DC01 EB12
EC03 EC04 EC13 EC19 ED01
ED05 EF02 EF18 EH02 EJ03
EM01 EM02 EM03 FA05 FA07
FA10 FB02 FC13 FC19
5F110 AA02 AA06 AA07 AA13 BB04
CC02 DD05 DD13 EE04 EE05
EE08 EE14 EE32 EE45 FF02
FF03 FF09 FF22 FF26 GG02
GG12 GG24 HJ01 HJ04 HJ07
HJ13 HJ23 HL03 HL04 NN23
QQ11 QQ17 QQ19